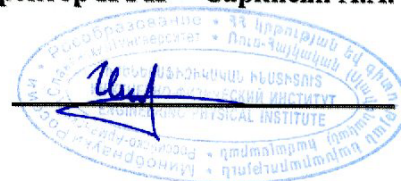


**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)  
УНИВЕРСИТЕТ**

Составлен в соответствии с  
государственными требованиями к  
минимуму содержания и уровню  
подготовки выпускников по  
направлению **11.03.03**  
**Конструирование и технология**  
**электронных средств** и Положением  
«Об УМКД РАУ».

**УТВЕРЖДАЮ:**

Директор ИФИ Саркисян А.А.



21.07.2023г.

**Институт: Инженерно-физический**

**Кафедра: Микроэлектронные схемы и системы**

*Автор: К.т.н., доцент Туманян Анна Кароевна*

**УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС**

**Дисциплина: Б1.В.ДВ.07.01 «Языки проектирования аппаратных средств»**

**Направление: 11.03.03 «Конструирование и технология электронных средств»**

**ЕРЕВАН**

## Структура и содержание УМКД

### 1. Аннотация

#### 1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** основы построения языков проектирования аппаратных средств;
- **уметь:** применять языки проектирования аппаратных средств для описания цифровых схем;
- **владеть:** методами применения языков VHDL и Verilog при проектировании цифровых схем.

#### 1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Языки проектирования аппаратных средств» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Информационные технологии», «Логическое проектирование электронных средств», «Языки сценариев», «Конструирование электронных средств на базе программируемых БИС».

Основные положения дисциплины должны быть использованы в дальнейшем при изучении следующих дисциплин: логическое проектирование электронных средств; проектирование цифровых интегральных схем, синтез и оптимизация цифровых интегральных схем.

#### 1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** принцип функционирования компьютера, основы булевой алгебры, языки программирования;
- **уметь:** моделировать простейшие электрические и электронные схемы;
- **владеть:** навыками информационных технологий, электротехники и электроники.

1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения данной дисциплины у студентов должна быть устойчивая база знаний по дисциплинам: математический анализ; информационные технологии; электротехника и электроника; информатика.

## **2. Содержание**

### 2.1. Цели и задачи дисциплины

Изучение основ построения и применения языков проектирования аппаратных средств, ознакомление с языками проектирования аппаратных средств VHDL и Verilog.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

#### **универсальные компетенции (УК):**

- способен определять круг задач в рамках поставленной цели и выбирать оптимальные способы их решения, исходя из действующих правовых норм, имеющихся ресурсов и ограничений (УК-2)

#### **общефессиональные компетенции (ОПК):**

- способен самостоятельно проводить экспериментальные исследования и использовать основные приемы обработки и представления полученных данных (ОПК-2)

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
<b>1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:</b>	<b>180/5 кред</b>
1.1. Аудиторные занятия, в т. ч.:	<b>52</b>
1.1.1. Лекции	<b>34</b>
1.1.2. Практические занятия	<b>18</b>
<b>1.2. Самостоятельная работа, в т.ч.:</b>	<b>78</b>
<b>Итоговый контроль Экзамен</b>	<b>50</b>

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. (ак. часов)
<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>
<b>Модуль 1.</b>			
<b>Введение</b>			
<b>Раздел 1. Языки описания аппаратуры, их классификация. Примеры описания комбинационных схем.</b>	<b>16</b>	<b>12</b>	<b>4</b>
Тема 1.1. Понятие модуля, декларации портов, иерархическая структура модулей, стили описания устройств. Типы данных. Переменные и цепи.	<b>4</b>	<b>4</b>	
Тема 1.2. Способы представления булевых функций. Функционально-полные системы булевых функций. Минимизация булевых функций. Синтез комбинационных схем.	<b>4</b>	<b>4</b>	
Тема 1.3. Операторы языка. Операции отношения и сравнения. Параллельные операторы. Операторы непрерывного присваивания. Процедурные операторы.	<b>4</b>	<b>2</b>	<b>2</b>
Тема 1.4. Описание на Verilog комбинационных схем. Описание на уровне вентилей, поведенческое описание.	<b>4</b>	<b>2</b>	<b>2</b>
<b>Раздел 2. Функциональные узлы комбинационного типа и применение языка Verilog для их описания.</b>	<b>18</b>	<b>10</b>	<b>8</b>

Тема 2.1. Временное и событийное управление выполнением операторов. Управление задержкой. Процедурные операторы: условные операторы, операторы циклов, оператор case.	2	2	
Тема2.2. Мультиплексоры. Их применение, логические схемы. Примеры описания на Verilog. Процедурное описание на Verilog. Составление тестового модуля на Verilog.	4	2	2
Тема2.3. Декодеры и демультимплексоры. Их применение, логические схемы. Примеры описания на Verilog.	4	2	2
Тема2.4. Шифраторы. Их применение, логические схемы. Примеры описания на Verilog.	4	2	2
Тема 2.5. Компараторы. Примеры микросхем. Описание компараторов на Verilog.	4	2	2
<b>Модуль 2.</b>			
<b>Раздел 3. Применение языка Verilog для описания схем последовательностного типа. Триггеры и защелки</b>	<b>12</b>	<b>8</b>	<b>4</b>
Тема 3.1. Понятие абстрактного автомата. Способы задания автоматов. Эквивалентность автоматов. Минимизация числа состояний.	3	2	1
Тема 3.2. Структурные схемы автоматов Мили и Мура. Классификация триггеров и защелок. RS- и D-защелки. Описание на Verilog.	3	2	1
Тема 3.3. Т- иJK-триггеры. Описание на Verilog. Управляемые фронтом синхросигнала триггеры.	4	2	2
Тема 3.4. Двухфронтовые триггеры	2	2	
<b>Раздел 4. Синтез автоматов (FSM) с использованием языка Verilog</b>	<b>6</b>	<b>4</b>	<b>2</b>
Тема 4.1. Последовательность структурного синтеза FSM. Описание FSM на Verilog.	2	2	
Тема 4.2. Симуляция и синтез FSM	4	2	2
<b>ИТОГО</b>	<b>52</b>	<b>34</b>	<b>18</b>

### 2.3.3 Содержание разделов и тем дисциплины

#### **Основные разделы:**

- важность и области применения языков проектирования аппаратных средств;
- основы языка Verilog;
- язык Verilog как программируемая система;
- типы данных;
- атрибуты в языке Verilog;
- последовательные операторы;
- параллельные операторы;
- описание в Verilog типовых дискретных устройств;
- функции (function) и задачи (task);  
функциональные узлы комбинационного типа и применение языка Verilog для их описания;
- применение языка Verilog для описания схем последовательностного типа. Триггеры и защелки;
- синтез автоматов (FSM) с использованием языка Verilog.

#### **Модуль 1.**

##### **Введение**

Краткий исторический обзор развития и применения языков для описания аппаратуры (HDL).

**Раздел 1. Языки описания аппаратуры, их классификация. Примеры описания комбинационных схем.**

**Тема 1.1. Понятие модуля, декларации портов, иерархическая структура модулей, стили описания устройств. Типы данных. Переменные и цепи.**

Понятие модуля, синтаксис декларации модуля. Декларации портов. Типы данных. Переменные и цепи. Числа в Verilog. Комментарии. Стили описания.

**Тема 1.2. Способы представления булевых функций. Функционально-полные системы булевых функций. Минимизация булевых функций. Синтез комбинационных схем.**

Понятие булевых функций и способы их представления. Нормальные формы представления. Принцип двойственности. Обобщенная теорема Де Моргана. Представление булевых функций в виде полинома Жегалкина. Функциональная полнота булевых функций, примеры базисов.

Принципы проектирования комбинационных схем. Минимизация булевых функций. Синтез многовыходных булевых функций

**Тема 1.3. Операторы языка. Операции отношения и сравнения. Параллельные операторы. Операторы непрерывного присваивания. Процедурные операторы.**

Операторы языка: арифметические и логические операторы, операции редукции, унарные и бинарные операторы. Операции отношения и сравнения, операции сдвига, конкатенация, репликация. Параллельные и последовательные операторы.

**Тема 1.4. Описание на Verilog комбинационных схем. Описание на уровне вентилей, поведенческое описание.**

Описание логических схем на Verilog: описание на уровне вентилей (gateleveldescription), потоковая форма описания, поведенческое описание булевых функций.

**Раздел 2. Функциональные узлы комбинационного типа и применение языка Verilog для их описания.**

**Тема 2.1. Временное и событийное управление выполнением операторов. Управление задержкой. Процедурные операторы: условные операторы и операторы циклов, оператор case.**

Управление событием, управление задержкой *always* и *initial* блоки. Блокирующее и неблокирующее процедурное присваивание.

**Тема 2.2. Мультиплексоры. Их применение, логические схемы. Примеры описания на Verilog. Составление тестового модуля на Verilog. Синтез логических функций с использованием мультиплексоров.**

Таблицы истинности мультиплексоров и их логические схемы. Примеры применения мультиплексоров. Мультиплексор как универсальный логический элемент. Реализация булевых функций на мультиплексорах.

Примеры описания мультиплексоров на языке Verilog с использованием различных стилей и операторов. Разработка тестового модуля. Правило подключения модулей в иерархическом описании проекта. Симуляция (моделирование) проекта.

**Тема 2.3. Декодеры и демультиплексоры. Их применение, логические схемы. Примеры описания на Verilog.**

Таблицы истинности декодеров и их логические схемы. Назначение декодеров. Примеры описания декодеров на Verilog: потоковое описание и процедурное с использованием операторов case и for.

Демультимплексоры. Использование дешифратора как демультимплексора. Описание демультимплексоров на Verilog. Организация передачи данных на шину с помощью мультиплексоров/демультимплексоров.

**Тема 2.4. Шифраторы. Их применение, логические схемы. Примеры описания на Verilog.**

Приоритетные шифраторы и их применение.

Использование операторов **case**, **casex**, **casez** для описания шифраторов.

Использование оператора цикла **for** и примеры описания декодера и приоритетного шифратора.

**Тема 2.5. Компараторы. Примеры микросхем. Описание компараторов на Verilog.**

**Модуль 2.**

**Раздел 3. Применение языка Verilog для описания схем последовательностного типа.**

**Триггеры и защелки.**

**Тема 3.1. Понятие абстрактного автомата. Способы задания автоматов. Эквивалентность автоматов. Минимизация числа состояний.**

Определение абстрактного автомата: модели Мура и Мили. Способы задания автоматов.

Эквивалентность состояний и автоматов.

**Тема 3.2. Структурные схемы автоматов Мили и Мура. Классификация триггеров и защелок. RS- и D-защелки.**

Описание триггеров на Verilog. Синхронный и асинхронный сброс.

**Тема 3.3. Т- и JK-триггеры. Описание на Verilog. Управляемые фронтом синхросигнала триггеры.**

**Тема 3.4. Двухфронтовые триггеры**

**Раздел 4. Синтез автоматов (FSM) с использованием языка Verilog**

**Тема 4.1. Последовательность структурного синтеза FSM. Описание FSM на Verilog**

**Тема 4.2. Симуляция и синтез FSM**

**2.4. Материально-техническое обеспечение дисциплины**

Аудитории и лаборатории оснащены программными средствами автоматизированного синтеза и симуляции цифровых логических схем (VCS, DesignCompiler, ICSCompiler), необходимой учебной литературой.



## 2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
<b>Вид учебной работы/контроля</b>								
Контрольная работа		1	1		1	1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
<b>Экзамен(оценка итогового контроля)</b>								0.5
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

### **3. Теоретический блок**

#### 3.1 Материалы по теоретической части курса

##### 3.1.1. Учебники

1. F. Vahid. Digital Design with RTL Design, Verilog and VHDL. Wiley; 2 edition, 2010
2. S. Sarkar, A. Kumar. Foundation of Digital Electronics and Logic Design. Pan Stanford Publishing Pte Ltd, 2012
3. S. Brown, Z. Vranesic. Digital Logic with Verilog Design. McGraw-Hill Higher Education, 2 edition, 2009
4. А.К.Туманян. Основы цифрового проектирования с использованием языка Verilog, Ереван, Чартарагет, 2012.

### **4. Практический блок**

#### 4.1. Планы практических занятий

##### **Анализ и синтез комбинационных схем**

1. Описание на Verilog двоичного счетчика с заданным модулем счета. Симуляция и синтез. Составление файла проектных ограничений.
2. Описание на Verilog реверсивного двоичного счетчика с заданным модулем счета. Составление файла проектных ограничений. Симуляция и синтез.
3. Описание на Verilog универсального сдвигающего регистра. Составление файла проектных ограничений. Симуляция и синтез.
4. Описание на Verilog счетчика Джонсона. Составление файла проектных ограничений. Симуляция и синтез.
5. Описание на Verilog LFSR Галуа и Фибоначчи. Составление файла проектных ограничений. Симуляция и синтез.
6. Описание на Verilog сумматоров. Составление файла проектных ограничений. Симуляция и синтез.
7. Симуляция и синтез арифметических устройств.

## 5. Материалы по оценке и контролю знаний

### 5.1. Перечень экзаменационных вопросов

1. Принципы проектирования комбинационных схем. Минимизация булевых функций.
2. Арифметические и логические операторы, операция сдвига.
3. Параллельные и последовательные операторы.
4. Описание логических схем на Verilog: описание на уровне вентилей (gateleveldescription).
5. Управление задержкой *always* и *initial* блоки.
6. Блокирующее и неблокирующее процедурное присваивание.
7. Примеры применения мультиплексоров. Реализация булевых функций на мультиплексорах.
8. Назначение декодеров. Потокное описание декодера с использованием операторов *case* и *for*.
9. Демультимплексоры. Использование дешифратора как демультимплексора.
10. Описание демультимплексоров на Verilog.
11. Приоритетные шифраторы и их применение.
12. Использование операторов **case**, **casex**, **casez** для описания шифраторов.
13. Компараторы, их описание на Verilog.
14. Автомат модели Мура и Мили. Способы задания автоматов.
15. Структурные схемы автоматов Мили и Мура.
16. Классификация триггеров и защелок. RS- и D-защелки.
17. Описание триггеров на Verilog.
18. T- и JK-триггеры. Описание на Verilog.
19. Двухфронтовые триггеры.
20. Синтез автоматов (FSM) с использованием языка Verilog.
21. Описание FSM на Verilog.
22. Симуляция и синтез FSM.