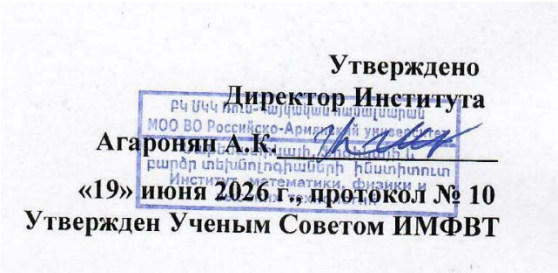
Межгосударственная организация высшего образования
«Российско-Армянский университет»



УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Наименование дисциплины: Б1.В.ДВ.10.01 «Архитектура цифровых систем»

Автор (ы) ***К.т.н., доцент Туманян Анна Кароевна***
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

Направление подготовки: **11.03.03 «Конструирование и технология электронных средств»**
Наименование образовательной программы: Микроэлектронные схемы и системы

Согласовано:

Зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1. АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины;

Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- ***знать:*** взаимодействие между аппаратным и программным обеспечением. Принципы организации компьютерных систем. Основы параллельных вычислений;
- ***уметь:*** применять языки проектирования аппаратных средств для описания процессоров;
- ***владеть:*** принципами проектирования сложных вычислительных систем.

1.2. Трудоемкость в академических кредитах и часах, формы итогового контроля (экзамен/зачет); 3 кр., 108ч.-лек. 16ч., лаб.16ч., СР 22, экзамен 54ч.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Архитектура цифровых систем» взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Информатика», «Инженерная и компьютерная графика», «Логическое проектирование электронных средств», «Информационные технологии».

1.4. Результаты освоения программы дисциплины:

Код компетенции *(в соответствии рабочим с учебным планом)*	**Наименование компетенции** *(в соответствии рабочим с учебным планом)*	**Код индикатора достижения компетенций** *(в соответствии рабочим с учебным планом)*	**Наименование индикатора достижений компетенций***(в соответствии рабочим с учебным планом)*
ПК-1	Способен разработать функциональные описания и технические задания на систему на кристалле (СнК)	ПК-1.1	Знает инициирование постановки работ по проектированию СнК, определение области

			применения СнК и выбор технологического базиса для СнК (технологии изготовления)
		ПК-1.2	Умеет разработать архитектуры всей СнК на основе сложнофункциональных блоков и проводить верификации разработанного архитектурного решения.
		ПК-1.3	Владеет набором блоков, реализуемых в виде аппаратной части, и набором блоков, реализуемых в виде программной части (разбиение СнК на аппаратную и программную части)
ПК-6	Способен разработать комплект конструкторской и технической документации на систему на кристалле	ПК-6.1	Знает разработку описания СнК
		ПК-6.2	Умеет разработать комплект конструкторской и технической документации на систему на кристалле
		ПК-6.3	Владеет комплектом конструкторской и технической документации на систему на кристалле

2. УЧЕБНАЯ ПРОГРАММА

a. Цели и задачи дисциплины

Изучение архитектур современных процессоров и вычислительных систем. Изучение иерархической структуры памяти и алгоритмов выполнения арифметических и логических операций в процессорах. Знакомство с организацией ввода/вывода.

b. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах) ***(удалить строки, которые не будут применены в рамках дисциплины)***

Виды учебной работы	**Всего, в акад. часах**
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	**108/3кр.**
1.1. Аудиторные занятия, в т. ч.:	**32**
1.1.1. Лекции	**16**
1.1.2. Лабораторные занятия	**16**
1.2. Самостоятельная работа, в т.ч.:	**22**
Итоговый контроль Экзамен	**54**

c. Содержание дисциплины

i. Тематический план и трудоемкость аудиторных занятий (модули, разделы дисциплины и виды занятий) по рабочему учебному плану

Разделы и темы дисциплины	**Всего (ак. часов)**	**Лекции (ак. часов)**	**Лабор. (ак. часов)**
1	**2=3+4**	**3**	**4**
	28	**16**	**16**
Раздел 1. Структура компьютера**.** Классификация компьютеров и компьютерных систем.			
Тема 1.1. Принцип действия компьютера. Концепция Фон-Неймановской архитектуры. Гарвардская архитектура. Язык Ассемблера и языки высокого уровня. Классификация архитектур процессоров. CISC и RISC архитектуры.	**1**	**1**	**1**

Тема 1.2. Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных. Уровни абстракции современных компьютерных систем, виртуализация.	**1**	**1**	-
Тема 1.3. Архитектура x86 -32/64. Программно-доступные регистры процессора. Система команд процессора. Способы адресации операндов. Директивы Ассемблера. Команды переходов.	**2**	**1**	**1**
Тема 1.4. Назначение и функции операционной системы. Классификация и обработка прерываний. Взаимодействие аппаратных и программных средств при обработке прерываний	**2**	**2**	**2**
Тема 1.5. Структурная организация процессора. Конвейерная обработка команд. Причины конфликтов на конвейере и способы их устранения. Статическое и динамическое предсказание переходов. Суперскалярный конвейер.	**4**	**2**	**2**
Тема 1.6**.** Компьютерная арифметика. Структуры устройств и алгоритмы выполнения основных арифметических операций.	**2**	**0**	**2**
Раздел 2. Организация памяти вычислительных систем. Типы памяти. Иерархическая структура памяти.			-
Тема 2.1 . Характеристики памяти. Статическая и динамическая RAM-память. Кэш-память, мотивация. Типы кэш-памяти. Алгоритмы работы. Уровни кэш-памяти..	**4**	**2**	**2**
Тема 2.2. Виртуальная память. Страничная организация памяти, TLB. Сегментная организация памяти.	**4**	**2**	**2**
Раздел 3. Параллельные компьютерные архитектуры. Современные процессоры.			
Тема 3.1. Классификация параллельных архитектур. Уровни параллелизма. SIMD команды. SIMD-обработка.	**3**	**1**	**2**

Тема 3.2. MIMD системы. Мультитрединг. Многоядерные процессоры. Закон Амдала. UMA и NUMA системы и системы с распределенной памятью. Микроархитектура современного процессора. Гетерогенные процессоры.	**3**	**1**	**2**
Тема 3.3. Особенности ARM архитектуры.Система команд. Команды переходов и условное (предикатное) выполнение. Области применения процессоров ARM архитектуры. Основные черты архитектуры RISC-V.	**1**	**1**	**-**
Раздел 4. Организация ввода-вывода информации.			
Тема 4.1. Классификация устройств ввода-вывода. Функции и структура модуля (контроллера) ввода-вывода). Структура устройства ввода-вывода.	**1**	**1**	**0**
Тема 4.2. Адресация устройств ввода-вывода. Ввод-вывод с отображением на память. Изолированный ввод-вывод. Способы организации операций ввода вывода. Программно-управляемый ввод-вывод. Ввод-вывод по прерыванию. Режим прямого доступа в память (DMA).	**1**	**1**	**0**
ИТОГО	**32**	**16**	**16**

ii. Краткое содержание разделов дисциплины в виде тематического плана

Основные разделы:

- Структура компьютера. Классификация компьютеров и компьютерных систем;
- Архитектура системы команд;
- Компьютерная арифметика;
- Организация памяти вычислительных систем;
- Параллельные компьютерные архитектуры;
- Организация ввода-вывода информации

Модуль 1.

Введение

Краткий исторический обзор развития компьютерной техники.

Раздел 1. Структура компьютера. Классификация компьютеров и компьютерных систем.

Тема 1.1. Принцип действия компьютера.

Концепция Фон-Неймановской архитектуры. Гарвардская архитектура. Историческая справка. Язык Ассемблера и языки высокого уровня. Классификация архитектур процессоров.

Тема 1.2. Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных. Уровни абстракции современных компьютерных систем, виртуализация.

Тема 1.3. Архитектура x86 -32/64. Программно-доступные регистры процессора. Способы адресации операндов. Система команд процессора. Директивы Ассемблера. Команды переходов. Привилегированные команды.

Тема 1.4. Назначение и функции операционной системы. Классификация и обработка прерываний. Взаимодействие аппаратных и программных средств при прерываниях.

Тема 1.5. Структурная организация процессора. Конвейерная обработка команд. Причины конфликтов на конвейере и способы их устранения.

Статическое и динамическое предсказание переходов. Суперскалярный конвейер.

Тема 1.6. . Компьютерная арифметика. Структуры устройств и алгоритмы выполнения основных арифметических и логических операций.

Раздел 2. **Организация памяти вычислительных систем.**

Тема 2.1. Характеристики памяти, иерархия памяти. Статическая и динамическая RAM-память. Кэш-память, мотивация. Типы кэш-памяти. Алгоритмы работы. Уровни кэш-памяти.

Тема 2.2. Виртуальная память. Страничная организация памяти. Буфер быстрой переадресации (TLB). Сегментная организация памяти.

Раздел 3. Параллельные компьютерные архитектуры. Современные процессоры.

Тема 3.1. Классификация параллельных архитектур. Уровни параллелизма. SIMD команды. SIMD -обработка.

Тема 3.2. MIMD системы. Мультитрединг. Многоядерные процессоры. Закон Амдала. UMA и NUMA системы. Примеры микроархитектур современных процессоров.

Тема 3.3. Особенности ARM архитектуры. Система команд. Команды переходов и условное (предикатное) выполнение. Архитектура RISC-V.

Раздел 4. Организация ввода-вывода информации

Тема 4.1. Классификация устройств ввода-вывода.

Функции и структура модуля (контроллера) ввода-вывода. Структура устройства ввода-вывода.

Тема 4.2. Адресация устройств ввода-вывода. Ввод-вывод с отображением на память. Изолированный ввод-вывод. Программно-управляемый ввод-вывод. Ввод-вывод по прерыванию. Режим прямого доступа в память (DMA).

iii. Краткое содержание семинарских/практических занятий/лабораторного практикума

Лабораторные работы производятся с использованием описаний схем на языке Verilog (симуляция и синтез).

1. Преобразование двоичного кода в десятичный код (Binary to BCD)
2. Предсказание переходов с помощью предиктора Смита, предсказание переходов с помощью предиктора МакФарлинга.
3. Симуляция и синтез модулей SRAM-памяти
5. Разработка и описание на Verilog контроллера кэш-памяти с прямым отображением
6. Изучение работы блока преобразования виртуального адреса в физический, симуляция и синтез.
7. Разработка и описание на Verilog устройства умножения на основе алгоритма Бута

iv. Материально-техническое обеспечение дисциплины

Аудитории и лаборатории оснащены программными средствами автоматизированного синтеза и симуляции цифровых логических схем (VCS, Design Compiler, IC Compiler) и необходимой учебной литературой.

d. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
Вид учебной работы/контроля	**M1**	**M2**	**M3**	**M1**	**M2**	**M3**		
Контрольная работа		1	1		1	1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.4
Экзамен (оценка итогового контроля)								0.6
			$\sum = 1$			$\sum = 1$	$\sum = 1$	$\sum = 1$

3. **Теоретический блок** ***(указываются материалы, необходимые для освоения учебной программы дисциплины)***

3.1.Материалы по теоретической части курса

3.1.1.Учебник(и)

1. Таненбаум Э. Остин Т. Архитектура компьютера, 6-е издание, Питер, 2014.
2. Паттерсон Д., Хеннесси Дж. Архитектура компьютера и проектирование компьютерных систем. Питер, 2012.
3. Сара Л. Харрис, Дэвид Харрис. Цифровая схемотехника и архитектура компьютера RISC-V, М.2022.

3.1.2. Учебное пособие по проведению лабораторных работ

Քոմփյութերային համակարգերի ճարտարապետություն: Մեթոդական ցուցումներ: Ա.Կ.Թումանյան, Ե.Վ.Վիրաբյան, Ա.Գ.Քամալյան: Երևան, 2019.

4. **Фонды оценочных средств** ***(указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).***

4.1.Планы лабораторных работ

Лабораторные работы производятся с использованием описаний схем на языке Verilog (симуляция и синтез).

1. Преобразование двоичного кода в десятичный код (Binary to BCD)
2. Предсказание переходов с помощью предиктора Смита, предсказание переходов с помощью предиктора МакФарлинга.
3. Разработка и описание на Verilog арбитра памяти. Симуляция и синтез.
5. Разработка и описание на Verilog контроллера кэш-памяти с прямым отображением
6. Изучение работы блока преобразования виртуального адреса в физический, симуляция и синтез.
7. Разработка и описание на Verilog устройства умножения на основе алгоритма Бута

4.2. Материалы по практической части курса

4.2.1.Учебно-методические пособия;

- Քոմփյութերային կազմակերպում. Ուսումնական ձեռնար ցուցումներ: Երեվան 2019:
- Քոմփյութերային համակարգերի ճարտաչապետություն. Լաբորատոր աշխատանքների մեթոդական

4.2.2. Учебные справочники;

Digital Design Flow (based on Synopsys EDA tools). Instructional Guidelines for Advanced Laboratory Works. Under the editorship of Vazgen Melikyan, Yerevan, Chartaraget, 2012.

4.2.3.Задачники (практикумы);

- ԷՀՄ կազմակերպում: Խնդիրների ժողովոծու, Երևան, 2009.

4.2.4. Наглядно-иллюстративные материалы;

Computer Architecture Lectures, Slides: 1-9 PPT, PDF files.

4.2.5. др. виды материалов.

- Лекции и дополнительные материалы для описания лабораторных работ (Word Files).

5. Методический блок

5.1.Методика преподавания

5.1.1. Методические рекомендации для студентов по подготовке к семинарским, практическим или лабораторным занятиям, по организации самостоятельной работы студентов при изучении конкретной дисциплины.

Материалы по оценке и контролю знаний

5.2.Перечень экзаменационных вопросов

- ✓ Структура компьютера**.** Классификация компьютеров и компьютерных систем.
- ✓ Принцип действия компьютера.Концепция Фон-Неймановской архитектуры. Гарвардская архитектура.
- ✓ Язык Ассемблера и языки высокого уровня. Классификация архитектур процессоров.
- ✓ Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных.
- ✓ Уровни абстракции современных компьютерных систем, виртуализация.
- ✓ Архитектура x86-32/64. Программно-доступные регистры процессора. Способы адресации операндов.
- ✓ Система команд процессора. Директивы Ассемблера. Команды переходов. Привилегированные команды.
- ✓ Назначение и функции операционной системы. ОС как менеджер ресурсов.
- ✓ Классификация и обработка прерываний. Взаимодействие аппаратных и программных средств.

- ✓ Характеристики памяти, иерархия памяти. Способы организации кэш-памяти. Мотивация многоуровневой кэш-памяти.
- ✓ Виртуальная память. Страничная организация памяти. Буфер быстрой переадресации (TLB).
- ✓ Параллельные компьютерные архитектуры. Современные процессоры. Спекулятивная обработка и неупорядоченное выполнение команд.
- ✓ Арифметика с плавающей запятой.
- ✓ MIMD-системы. Закон Амдала. UMA и NUMA системы.
- ✓ Мультитрединг. Многоядерные процессоры.
- ✓ Классификация устройств ввода-вывода.
- ✓ Функции и структура модуля (контроллера) ввода-вывода. Структура устройства ввода-вывода.

5.3.Образцы экзаменационных билетов

Билет 1

1. Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных.
2. Виртуальная память. Страничная организация памяти. Буфер быстрой переадресации (TLB).
3. Заданы адреса ОП в 16-й системе счисления - 7776C, AABB00EE, A0FFFC2. Адрес ОП – 32-битный.

Представить значение следующих полей: тэга, номера набора, номера байта в блоке. Кэш частично-ассоциативный. Размер блока 64 байта, объем кэша – 512Кбайт, число каналов – 8.

Билет 2

1.Характеристики памяти, иерархия памяти. Способы организации кэш-памяти. Мотивация многоуровневой кэш-памяти.

2. MIMD-системы. Закон Амдала. UMA и NUMA системы

3. Пусть в некоторой программе, работающей в системе со страничной организацией памяти, произошло обращение по виртуальному адресу 012356h.

Преобразовать этот адрес в физический, учитывая, что размер страницы – 4Кбайта, число разрядов логического адреса – 24. Объем ОП – 4Мбайта.

	P	Номер блока
0	1	0000000000

1	0	-
2	0	-
3	1	0000000001
4	1	0000001001
5	1	1110000111
6	1	0100000010
18	1	0110111100

Учебная программа одобрена
кафедрой Микроэлектронных схем и систем

Зав. кафедрой:Меликян В.Ш. _____

(подпись)