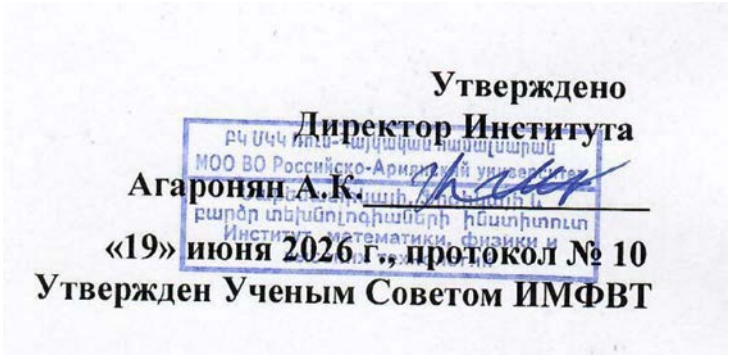
Межгосударственная организация высшего образования
«Российско-Армянский университет»



Утверждено
Директор Института
Агаронян А.К. _____
«19» июня 2026 г., протокол № 10
Утвержден Ученым Советом ИМФВТ

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Б1.В.ДВ.06.01 «Синтез и оптимизация цифровых интегральных схем»

Автор (ы) _____ ***Казарян Артур Араикович*** _____
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

Направление подготовки: 11.03.03
Наименование образовательной программы: «Конструирование и технология электронных средств»

Согласовано:

Зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1. АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины: в рамках данной дисциплины изучаются этапы цифрового маршрута проектирования интегральных схем и их реализация с помощью систем автоматизированного проектирования.

1.2. Трудоемкость в академических кредитах и часах, формы итогового контроля (экзамен/зачет); 3 кред., 108ч, лек.32ч., пр.16 ч., СР 60ч.,зачет.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности Курс «Синтез и оптимизация цифровых интегральных схем» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Электротехника и электроника», «Схемо- и системотехника электронных средств», «Проектирование цифровых интегральных схем».

1.4. В результате изучения данной дисциплины студент должен:

Код компетенции *(в соответствии рабочим с учебным планом)*	**Наименование компетенции** *(в соответствии рабочим с учебным планом)*	**Код индикатора достижения компетенций** *(в соответствии рабочим с учебным планом)*	**Наименование индикатора достижений компетенций***(в соответствии рабочим с учебным планом)*
ПК-2	Способен разработать синтезпригодные описания уровня регистровых передач	ПК-2.1	Знает разработку и моделирование тестового воздействия и тестового вектора на функциональные блоки
		ПК-2.2	Умеет моделировать разработанные цифровые блоки в составе всей системы в целом
		ПК-2.3	Владеет программно-аппаратной верификацией СнК

2. УЧЕБНАЯ ПРОГРАММА

2.1. Цели и задачи дисциплины

Целью дисциплины является изучение основ синтеза и оптимизации цифровых схем, формирование необходимых теоретических знаний и практических навыков по анализу характеристик синтезируемых схем, их взаимосвязей и по методам синтеза и оптимизации цифровых схем.

2.2. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах)

Виды учебной работы	**Всего, в акад. часах**
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	**108/3к.**
1.1. Аудиторные занятия, в т. ч.:	**48**
1.1.1. Лекции	**32**
1.1.2. Практические занятия, в т. ч.	**16**
1.2. Самостоятельная работа, в т. ч.:	**60**
Итоговый контроль **Зачет**	

2.3. **Содержание дисциплины**

2.3.1. Тематический план и трудоемкость аудиторных занятий (модули, разделы дисциплины и виды занятий) по рабочему учебному плану

Разделы и темы дисциплины	**Всего (ак. часов)**	**Лекции (ак. часов)**	**Практ. зан. (ак. часов)**
1	**2**	**3**	**4**
Раздел 1.Логический синтез цифровых интегральных схем	16	12	4
Тема 1.1. Введение. **Логический синтез. Библиотека стандартных цифровых ячеек. IP-блоки. Маршрут проектирования цифровых ИС Digital design flow.**	4	4	
Тема 1.2. Уровни логической оптимизации. Функциональная оптимизация. Оптимизация на уровне вентилей (Gate Level Optimization).	6	4	2

Тема 1.3. Оптимизация быстродействия и площади. Временной анализ. Статический временной анализ (Setuptime, Holdtime). Временные ограничения. Ограничения по площади (area constraints).	6	4	2
Раздел 2. Этапы физического проектирования интегральных схем	36	22	14
Тема 2.1. Планирование кристалла (Floorplanning). Оценивание размера будущего кристалла.	6	4	2
Тема 2.2. Размещение блоков и стандартных библиотечных ячеек (Placement). Глобальное и	6	4	2
Тема 2.3. Синтез дерева синхросигнала. Задержка синхросигнала, период синхросигнала. Дерево синхросигнала: общие понятия.	6	4	2
Тема 2.4. Оптимизация потребляемой мощности.	8	4	4
Тема 2.5. Физическая верификация. Процесс проверки правил проектирования (DRC). Сравнение разработанную топологию с принципиальной схемой (LVS).	8	4	2
ИТОГО	52	32	16

2.3.2. Краткое содержание разделов дисциплины в виде тематического плана

Основные разделы:

- Логический синтез цифровых интегральных схем
- Временные характеристики цифровых схем
- Тестопригодное проектирование
- Этапы физического проектирования интегральных схем
- Физическая верификация

Раздел 1. Логический синтез цифровых интегральных схем

Тема 1.1. Введение.

Логический синтез. Входные данные синтеза. Поведенческое описание схемы. Библиотека стандартных цифровых ячеек. IP-блоки. Основы оптимизации. Взаимосвязь параметров площади, времени и мощности. Маршрут проектирования цифровых ИС Digital design flow. Программные средства электронного автоматизированного проектирования. Физический синтез.

Тема 1.2. Уровни логической оптимизации.
Особенности поведенческого описания. Разделение ресурсов (Resource Sharing). Функциональная оптимизация. Выбор реализации (Implementation selection). Оптимизация арифметических выражений. Входные файлы логического синтеза. Оптимизация на уровне вентилей (Gate Level Optimization). Оптимизация комбинационной и последовательностной логики. Технологический файл.
Тема 1.3. Оптимизация быстродействия и площади.
Временной анализ. Критический путь. Временные параметры синхросигнала: задержка распространения сигнала, предельно допустимая задержка сигнала, время переходов. Ограничения синхросигнала, комбинационной логики. Моделирование. Статический временной анализ (Setup time, Hold time). Составление файла проектных ограничений. Временные ограничения. Ограничения по площади.

Раздел 2. Этапы физического проектирования интегральных схем

Тема 2.1. Планировка кристалла (Floorplanning).
Оценивание размера будущего кристалла. Размещение блоков по кристаллу. Предварительная плотность элементов. Синтез сетки питания (PNS - power network synthesis).
Тема 2.2. Размещение блоков и стандартных библиотечных ячеек (Placement).
Подключение питания (Special Routing). Размещение периферийных колец питания и основных блоков, построение колец питания вокруг блоков. Глобальное и детальное размещение. Оптимизация размещения и легализация ячеек. Сокращение длины проводников за счет оптимальной ориентации ячеек. Выравнивание пинов и границ ячеек при детальном размещении и легализации. Оптимальное размещение IP-блоков.
Тема 2.2. Синтез дерева синхросигнала (Clock tree synthesis).
Тема 2.3. Трассировка межсоединений (Routing).
Глобальная и детальная трассировка. Построение дерева синхронизации. Трассировка всех межсоединений в соответствии с нетлистом.
Задержка синхросигнала, период синхросигнала. Дерево синхросигнала: общие понятия. Синтез дерева синхросигнала. Генерация синхросигнала. Оптимизация структуры дерева синхросигнала с целью улучшения временных параметров работы схемы. Окончательный вид деревы синхросигнала. Входные файлы для передачи в IC Compiler II.
Тема 2.4. Оптимизация потребляемой мощности.
Основные источники потребления энергии. Простые методы оптимизации мощности. Динамическое изменение напряжения. Требования для библиотеки стандартных ячеек: специальные ячейки, ячейки с разным пороговым напряжением. Оценка общего, поблочного и критического энергопотребления. Статический и динамический анализ сетки питания. Унифицированный формат питания (UPF). Оптимизация динамической мощности. Оптимизация потребления энергии с помощью Design Compiler.
Тема 2.5. Физическая верификация.
Процесс проверки правил проектирования (DRC). Сравнение разработанную топологию с принципиальной схемой (LVS). Поектирование с учетом пригодности для производства (DFM)
Правила DFM. Построение полного списка соединений и извлечение файла задержек с целью осуществления всесторонней проверки работоспособности топологии устройства.

2.3.3. Краткое содержание семинарских/практических занятий/лабораторного практикума

В течение практических занятий студентами изучаются инструменты компании Synopsys для цифрового маршрута проектирования интегральных схем. Выполняется логический синтез, физическое проектирования и верификация полученных после каждого из этапов результатов.

2.3.4. Материально-техническое обеспечение дисциплины

Аудитория для проведения практических занятий обеспечена персональными компьютерами с установленным на них необходимым пакетом программных инструментариев компании Synopsys: VCS, Design Compiler, PrimeTime, Formality, IC Compiler II, StarRC, IC Validator. Необходимая учебно-методическая литература доступна в библиотеке учебного центра.

2.4. Модульная структура дисциплины с распределением весов по формам контролей

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
Вид учебной работы/контроля	**М1**	**М2**	**М3**	**М1**	**М2**	**М3**		
Контрольная работа			1			1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							1	

Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								1
Зачет(оценка итогового контроля)								
			∑ = 1			∑ = 1	∑ = 1	∑ = 1

3. Теоретический блок ***(указываются материалы, необходимые для освоения учебной программы дисциплины)***

3.1. Материалы по теоретической части курса

3.1.1. Учебник(и)

1. V. Tarate "Digital Logic Design Using Verilog: Coding and RTL Synthesis", Springer, 2016
2. L. Lavagno, I. Markov, G. Martin, L. Scheffer "Electronic Design Automation for IC System Design, Verification and Testing", 2016
3. P. Bricaud "Reuse Methodology Manual: For System-on-a-Chip Designs", Springer, 2nd edition, 2013
4. D. Papa, I. Markov "Multi-Objective Optimization in Physical Synthesis of Integrated Circuits", Springer, 2012
5. P. Khatri "Advanced Techniques in Logic Synthesis, Optimizations and Applications", Springer, 2010
6. Design Compiler "User Guid", Synopsys, 2010

4. Фонды оценочных средств ***(указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).***

4.1. Планы практических и семинарских занятий

1. Исследование логического синтеза интегральных схем.
2. Исследование физического проектирования интегральных схем.
3. Исследование методов верификации проектируемых схем.
4. Генерация отчетов и их анализ.
5. Изучение методов оптимизации.
6. Работа с ограничениями.

Во время практических занятий используются следующие программные инструментальные средства: VCS, Design Compiler, PrimeTime, Formality, IC Compiler II, StarRC, IC Validator.

5. Методический блок

5.1. Методика преподавания

5.1.1. Методические рекомендации для студентов по подготовке к семинарским, практическим или лабораторным занятиям, по организации самостоятельной работы студентов при изучении конкретной дисциплины.

- Уровни проектирования. Маршрут логического и физического синтеза, анализ результатов.
- Логический синтез. Оптимизация временных параметров и площади. Ограничения.
- Синтез схем с низким энергопотреблением.
- Синтез схем с низким энергопотреблением с использованием UPF.
- Физический синтез. Оптимизация размещения.
- Построение дерева синхросигнала и сетки питания.
- Детальная трассировка.
- Проектирование с учетом пригодности для производства.

Учебная программа одобрена
кафедрой Микроэлектронных схем и систем

Зав. кафедрой:Меликян В.Ш. _____
(подпись)