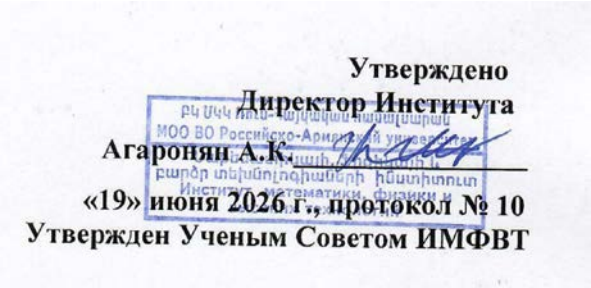
Межгосударственная организация высшего образования
«Российско-Армянский университет»



Утверждено
Директор Института
Агароняи А.К. _____
«19» июня 2026 г., протокол № 10
Утвержден Ученым Советом ИМФВТ

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Наименование дисциплины: Б1.В.ДВ.10.01 «Конструирование электронных средств на базе программируемых БИС»

Автор ***Сагателян Анна Карписовна к.т.н., доцент***
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

Направление подготовки: 11.03.03 «Конструирование и технология электронных средств»

Наименование образовательной программы: «Микроэлектронные схемы и системы**»**

Согласовано:

Зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1.АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины;

При изучении данного курса студент знакомится с программируемыми логическими схемами, причем внимание уделяется на возможности реализации на таких устройствах как логических схем разной сложности, так и цифровых автоматов. Также содержит примеры с описаниями данных устройсв на стандартных интегральных схемах и модели на языке Verilog HDL. Изучаются структуры программируемых матричных интегральных устройств - FPGA и CPLD и приводятся примеры конструирования схем на их базе.

1.2. Трудоемкость: 4 зе., 144ч.-32ч., 16ч. прак.зан., 45ч. СР., 51ч. экзамен.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Конструирование электронных средств на базе программируемых БИС» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Информационные технологии»; «Языки проектирования аппаратных средств»; «Логическое проектирование электронных средств»; «Проектирование цифровых интегральных схем».

1.4. Результаты освоения программы дисциплины:

В результате изучения данной дисциплины студент должен:

- ***знать:*** архитектуру, методы и средства разработки конфигурации ПЛИС
- ***уметь:*** сконструировать цифровые схемы на базе ПЛИС
- ***владеть:*** практическими навыками программирования (конфигурации) ПЛИС

Код компетенции *(в соответствии рабочим с учебным планом)*	**Наименование компетенции** *(в соответствии рабочим с учебным планом)*	**Код индикатора достижения компетенций** *(в соответствии рабочим с учебным планом)*	**Наименование индикатора достижений компетенций***(в соответствии рабочим с учебным планом)*
ПК-4	Способен разработать	ПК-4.1	Знает разработку плана кристалла, размещение блоков

	топологические описания на основе полученного списка цепей с учетом набора ограничений	ПК-4.2	Умеет разработать топологические описания на основе полученного списка цепей
		ПК-4.3	Владеет осуществлением детальной трассировки СнК
ПК-6	Способен разработать комплект конструкторской и технической документации на систему на кристалле	ПК-6.1	Знает разработку описания СнК
		ПК-6.2	Умеет разработать комплект конструкторской и технической документации на систему на кристалле
		ПК-6.3	Владеет комплектом конструкторской и технической документации на систему на кристалле

2. УЧЕБНАЯ ПРОГРАММА

2.1. Цели и задачи дисциплины

Изучение архитектуры, схемотехники и конструирования электронных средств на базе программируемых БИС, получение знаний в области проектирования цифровых схем с использованием программируемых логических интегральных схем (ПЛИС - FPGA). Также изучение вопросов структуры FPGA и последовательность проектирования цифровых устройств по RTL-описанию на FPGA (Xilinx, ISE Design Suite 1.4), получение битового файла (bit-stream) и конфигурирование устройства.

2.2. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах) ***(удалить строки, которые не будут применены в рамках дисциплины)***

Виды учебной работы	**Всего, в акад. часах**
1	**2**
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	**144/4 к.**
1.1. Аудиторные занятия, в т. ч.:	**48**
1.1.1. Лекции	**32**
1.1.2. Практические занятия, в т. ч.	**16**
1.2. Самостоятельная работа, в т. ч.:	**51**
1.2.1. Подготовка к экзаменам	

Итоговый контроль (Экзамен, Зачет, диф. зачет - указать)	**45 Экзамен**

2.3. Содержание дисциплины

2.3.1. Тематический план и трудоемкость аудиторных занятий (модули, разделы дисциплины и виды занятий) по рабочему учебному плану

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. Занятия (ак. часов)	Семинары (ак. часов)	Лабор. (ак. часов)
1	**2=3+4+5+6+7**	**3**	**4**	**5**	**6**
Введение. Краткий обзор методов	2	2			
Тема 1.1. Классификация и характеристики программируемых интегральных схем (PLD). Типы программируемых соединений.	3	3			
Тема 1.2. Классификация простых PLD. Программируемые логические матрицы (PLA)	5	3	2		
Тема 1.3. Реализация конечного автомата на PLA.	6	4	2		
Тема 1.4. Классификация и назначение ROM-памяти. Структура ROM-памяти.	6	4	2		
Тема 1.5. Однократно программируемые ROM (PROM). EPROM и EEPROM.	4	2	2		
Раздел 2. Программируемые большие интегральные схемы (БИС) – FPGA. Классические FPGA.	2	2			
Тема 2.1. Структура программируемых БИС. Использование ячейки SRAM в	6	4	2		
Тема 2.2. Конфигурируемые логические блоки. Реализация логических функций с использованием LUT – блоков.	4	2	2		
Тема 2.3. Реализация булевых	4	2	2		
Тема 2.4. Ресурсы конфигурируемых логических блоков БИС. Секции SLICEM и SLISEL.	6	4	2		
ИТОГО	**52**	**32**	**16**		

2.3.2. Краткое содержание разделов дисциплины в виде тематического плана

Тема 1. Введение. Краткий обзор методов проектирования.

Тема 2. Классификация и характеристики программируемых интегральных схем (PLD).

Классификация и характеристики программируемых интегральных схем (PLD). Типы программируемых соединений. Типы программирования: логики fuse и antifuse.

Тема 3. Классификация простых PLD.

Классификация программируемых логических устройств. Однократно проектируемые логические устройства. Программируемые логические матрицы (Programmable logic array PLA). Технологии однократного программирования.

Тема 4. Классификация и назначение ROM-памяти.

Структура ROM-памяти как модуля программируемой матрицы. Построение ROM модуля большого объема на микросхемах меньшего объема.

Однократно программируемые ROM (PROM (Programmable ROM)). EPROM и EEPROM. Сравнение, способы программирования и прикладные функции PROM, EPROM и EEPROM.

Тема 5. Программируемые большие интегральные схемы (БИС) – FPGA.

Классические FPGA. Многократно программируемые логические устройства. Технологии многократного программирования. Структура программируемых БИС. Использование ячейки SRAM в качестве программируемого элемента.Маршрутизаторы и трассировочные ресурсы программируемых БИС.

2.3.3. Краткое содержание семинарских/практических занятий/лабораторного практикума

Работа 1. Реализовать многовходовую комбинационную схему с несколькими выходами на PLA (programmable logic array) и на PAL (programmable logic array). Минимизировать заданные булевые функции и реализовать комбинационную схему на PLA и на PAL, предварительно составив таблицу программирования.

Работа 2. Реализовать многовходовую комбинационную схему с несколькими выходами на PROM (Programmable Read-Only-Memory). Определить значение совершенной дизъюнктивной нормальной формы (СДНФ) для заданных булевых функций и реализовать комбинационную схему на PROM.

Работа 3. Построить модуль ROM памяти большего объема на базе заданных микросхем ROM памяти меньшего объема, предварительно рассчитав разрядность используемого декодера.

Работа 4. Представить структуру и таблицу хранения данных в PROM, которую используют в качестве модуля табличной выборки для выполнения арифметических операций (суммирования, умножения и т.д.) над целыми числами со знаком и без знака.

Работа 5. Реализовать структурную схему конечного автомата, используя в качестве комбинационной логики однократно программируемые логические схемы.

Построить граф-схему автомата, определить функции возбуждения триггеров, минимизировать функции и реализовать структурную схему конечного автомата.

Работа 6. Реализовать многовходовую комбинационную схему с использованием программируемых мультиплексоров.

Работа 7. Реализовать заданную булевую функцию с использованием программируемого логического блока фирмы Altera.

Работа 8. Реализовать многовходовую комбинационную схему с использованием LUT-блоков. Минимизировать заданные булевые функции и реализовать комбинационную схему с использованием LUT-блоков, с последующим представлением битового содержания LUT – блоков.

2.3.4. Материально-техническое обеспечение дисциплины

Аудитория обеспечена компьютерами, в которых инсталлирован программно-синтезирующий пакет ISE Design фирмы Xilinx, оборудована FPGA бордами фирмы Xilinx, со встроенными FPGA семейства Spartan-6, и необходимой учебно-методической литературой.

2.4. Модульная структура дисциплины с распределением весов по формам контролей

Формы контролей	**Вес формы (форм) текущего контроля в результирующей оценке текущего контроля (по модулям)**		**Вес формы промежуточного контроля в итоговой оценке промежуточного контроля**		**Вес итоговой оценки промежуточного контроля в результирующей оценке промежуточных контролей**		**Вес итоговой оценки промежуточного контроля в результирующей оценке промежуточных контролей (семестровой оценке)**	**Веса результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля**
Вид учебной работы/контроля	**М1**[1]	**М2**	**М1**	**М2**	**М1**	**М2**		
Контрольная работа *(при наличии)*								
Устный опрос *(при наличии)*								
Тест *(при наличии)*								
Лабораторные работы *(при наличии)*								
Письменные домашние задания *(при наличии)*								
Реферат *(при наличии)*								
Эссе *(при наличии)*								
Проект *(при наличии)*								
Другие формы (при наличии)								

[1] Учебный Модуль

Веса результирующих оценок текущих контролей в итоговых оценках промежуточных контролей								
Веса оценок промежуточных контролей в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								
Вес итогового контроля (Экзамен/зачет) в результирующей оценке итогового контроля								
	∑ = 1	**∑ = 1**	**∑ = 1**	**∑ = 1**	**∑ = 1**	**∑ = 1**	**∑ = 1**	**∑ = 1**

3. Теоретический блок ***(указываются материалы, необходимые для освоения учебной программы дисциплины)***

3.1. Материалы по теоретической части курса

3.1.1. Учебники

1. А.Ю. Попов. Проектирование цифровых устройств с использованием ПЛИС
2. Патрик Гёлль, Электронные устройства с программируемыми компонентами. 2003г. - 2003 Кб
3. Бродин В. Б., Калинин А. В., Системы на микроконтроллерах и БИС программируемой логики. 2006г. - 5152 Кб
4. Е.П. Угрюмов. Цифровая схемотехника, 3-е издание. БХВ-Петербург, 2010, – 797 с.
5. Virtex-7 FPGA Configurable Logic Block., UG 474 (v1.1) January 30, 2012

3.1.2. Электронные материалы

1. http://de.ifmo.ru/bk_netra/page.php?tutindex=25&index=43
2. http://radiotract.ru/book_digital_004.html

4. Фонды оценочных средств ***(указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).***

Лаб. Работа 1

Реализация комбинационных схем на БИС, тестирование выходных сигналов на FPGA борде, с выводом на LED-ы.

Лаб. Работа 2

Реализация комбинационных схем на БИС, тестирование выходных сигналов на FPGA борде, с выводом на семисегментный индикатор.

Лаб. Работа 3

Реализация автомата на БИС, тестирование выходных сигналов на FPGA борде, с выводом на семисегментный индикатор

Лаб. Работа 4

Реализация автомата на БИС, тестирование выходных сигналов на FPGA борде, с выводом на семисегментный индикатор и LED-ы.

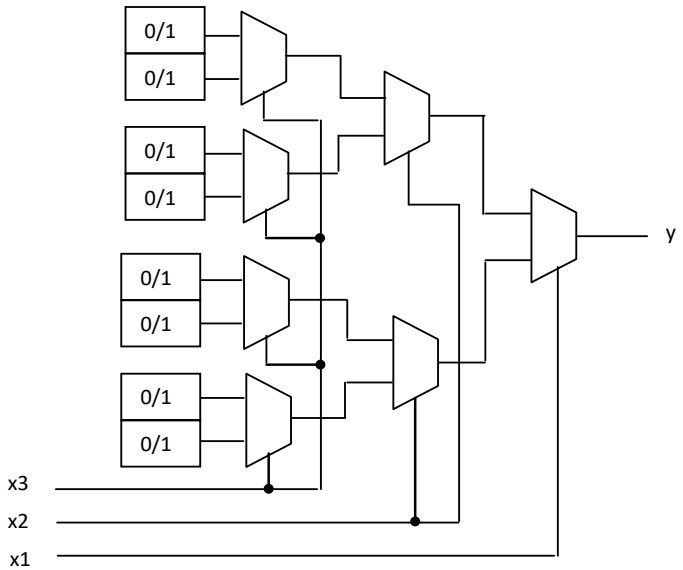
Лаб. Работа 5

Реализация PROM памяти на БИС, тестирование выходов на FPGA борде, с выводом на LED-ы.

4.4. Образец текущего и промежуточного контроля

Билет № _____

1. Построить ROM об'емом 128Kx32, используя микросхемы об'емом 64Kx 8
2. Реализовать ROM об'емом 2^4x4, используя дешифратор и логические элементы "ИЛИ": В ROM по адресам 0,2,15, записано число 12, по адресам 1,10,11, - число 13, по адресу 14 – число 10, по другим адресам записаны нули.
3. Задан программируемый логичский блок. Реализовать функцию



$f(a,b,c) = c + \bar{a} \cdot \bar{b}$

4. Реализовать детектор входной последовательности 101100/1 на FPGA.

4.5. Перечень экзаменационных вопросов

1. Классификация цифровых интегральных схем
2. Классификация программируемых логических устройств
3. Простые программируемые логические устройства (PLA, PAL, PROM):
4. Программируемые логические матрицы (PLA).
5. Программируемые матричные логические устройства (PAL).
6. PAL с регистровым выходом.
7. Программируемые постоянные запоминающие устройства (PROM).
8. EPROM и EEPROM. Достоинства и недостатки.
9. Сложные программируемые логические устройства (CPLD).
10. Интегральные схемы типа FPGA.
11. Классическая структура FPGA.
12. Программируемая логическая единица FPGA – LUT(Look-Up-Table).
13. Программируемая логическая единица CPLD – MX(мультиплексоры).
14. Блоки ввода/вывода FPGA.
15. Система межблочных соединений FPGA.

4.6. Образцы экзаменационных билетов

Билет № _____

1. Классификация программируемых устройств.
2. Обобщенная структура классической FPGA.

3. Построить ROM об'емом 128Кх 32, используя микросхемы об'емом 64Кх 8

а)Реализовать ROM об'емом 2^4x4, используя дешифратор и логические элементы "ИЛИ": В ROM по адресам 0,2,15, записано число 12, по адресам 1,10,11, - число 13, по адресу 14 – число 10, по другим адресам записаны нули.

б) В системе есть PROM для хранения произведений двух 8-и разрядных целых чисел без знака. Вычислить об'ем требуемой памяти и определить, какое число записано по адресу 2605.

4. Реализовать детектор входной последовательности 101101/1 на FPGA. Показать содержимые LUT-ов.

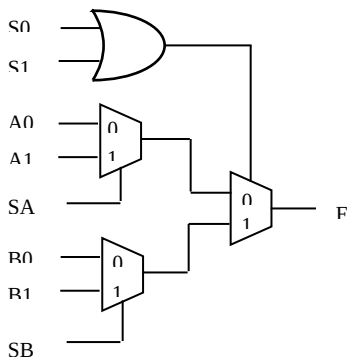
Автомат меняет состояния в следующей последовательности

$0 \rightarrow 4 \rightarrow 6 \rightarrow 3 \rightarrow 5 \rightarrow 1 \rightarrow 2 \rightarrow 7 \rightarrow 0$.....

Построить схему автомата с использованием PROM. Показать содержимое PROM.

5. Задан программируемый логический блок. Реализовать функцию

$Y = (aV\ b)\cdot d\ V\ \bar{a}\cdot\bar{b}\cdot c$



6.y= x1·x2·x5 + x2· $\bar{x}$3·x4 + $\bar{x}$1· $\bar{x}$4· $\bar{x}$5 функцию реализовать используя три 4-х входовых LUT.

Материалы по оценке и контролю знаний

Тематика самостоятельных работ: самостоятельно реализовывать цифровые системы на программируемых БИС, в том числе: комбинационные схемы, схемы с памятью, целочисленные АЛУ для простых арифметических операций.

5. Методический блок

Для освоения данной дисцилины студентам рекомендуется своевременное выполнение всех самостоятельных работ, подготовка к выполнению лабораторных работ и изучение литературы по специальности, представленной в пункте 3.