Межгосударственная организация высшего образования
«Российско-Армянский университет»

Утверждено
Директор Института
Агаронян А.К. _____
«19» июня 2026 г., протокол № 10
Утвержден Ученым Советом ИМФВТ

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Наименование дисциплины: Б1.Б.15 «Проектирование цифровых интегральных схем»

Автор _____ ***Бабаян Давид Робертович*** _____
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

Направление подготовки: 11.03.03 «Конструирование и технология электронных средств»

Наименование образовательной программы: «Микроэлектронные схемы и системы**»**

Согласовано:

Зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1.АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины;

Для освоения данной дисциплины у студентов должна быть устойчивая база знаний по дисциплинам: введение в проектирование интегральных схем; электротехника и электроника; схемо- и системотехника электронных средств; языки проектирования аппаратных средств.

1.2. Трудоемкость: 4 зе., 144ч.-32ч., 16ч. лаб.., 60ч. СР., 36ч. экзамен.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Проектирование цифровых интегральных схем» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Электротехника и электроника», «Схемо- и системотехника электронных средств», «Логическое проектирование электронных средств», «Синтез и оптимизация цифровых интегральных схем».

1.4. Результаты освоения программы дисциплины:

Код компетенции *(в соответствии рабочим с учебным планом)*	**Наименование компетенции** *(в соответствии рабочим с учебным планом)*	**Код индикатора достижения компетенций** *(в соответствии рабочим с учебным планом)*	**Наименование индикатора достижений компетенций***(в соответствии рабочим с учебным планом)*
ОПК-5	Способен разрабатывать алгоритмы и компьютерные программы, пригодные для практического применения	ОПК-5.1	Понимает принципы построения алгоритмов и компьютерных программ, пригодных для практического применения
		ОПК-5.2	Умеет на основе алгоритмов применять языки программирования для создания компьютерные программ
		ОПК-5.3	Владеет навыками программирования, отладки и тестирования компьютерных

			программ
ПК-4	Способен разработать топологические описания на основе полученного списка цепей с учетом набора ограничений	ПК-4.1	Знает разработку плана кристалла, размещение блоков
		ПК-4.2	Умеет разработать топологические описания на основе полученного списка цепей
		ПК-4.3	Владеет осуществлением детальной трассировки СнК

2. УЧЕБНАЯ ПРОГРАММА

2.1.Цели и задачи дисциплины

Изучение основ проектирования, анализа и моделирования цифровых интегральных схем, изучение методов проектирования, анализа и моделирования комбинационных и последовательных цифровых логических схем, приобретение навыков проектирования

2.2.Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

Виды учебной работы	**Всего, в акад. часах**
1.Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	**144/4кредит**
1.1. Аудиторные занятия, в т. ч.:	**48**
1.1.1.Лекции	**32**
1.1.2.Лабораторные работы	**16**
1.2. Самостоятельная работа, в т.ч.:	**60**
Итоговый контроль Экзамен	**36**

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	**Всего(ак. часов)**	**Лекции(ак. часов)**	**Лаб. (ак. часов)**
1	**2**	**3**	**4**
Раздел 1. Последовательностные цифровые схемы: триггеры, регистры, счетчики	**52**	**26**	**26**
Тема 1.1. Классификация триггеров. Управляемые фронтом и спадом синхросигнала триггеры. Тестируемые триггеры.	2	2	
Тема 1.2. Асинхронный и синхронный RS-триггер. Двухтактный RS-триггер.	4	2	2
Тема 1.3. D-триггер, JK-триггер, T-триггер.	8	4	4

Тема 1.4.Назначение регистров. Типы регистров: буферные, сдвигающие, с управляемым направлением сдвига, с параллельным вводом, кольцевые.	8	4	4
Тема 1.5. Формирование псевдослучайной двоичной последовательности. Счетчики импульсов и делители частоты.	8	4	4
Тема 1.6.Асинхронные и синхронные счетчики. Счетчики как делители частоты.	4	2	2
Тема 1.7.Счетчики на основе сдвигающих регистров: кольцевые счетчики и счетчики Джонсона.	6	2	4
Тема 1.8. Передаточный вентиль (TransmissionGate). Проектирование триггеров и защелок на транзисторном уровне. D-защелка на основе TG.	8	4	4
Тема 1.9. D-триггер по схеме Master-Slave на основе TG.	4	2	2
Раздел 2. Арифметические устройства	**16**	**8**	**8**
Тема 2.1. Одноразрядные полусумматоры и полные сумматоры.	8	4	4
Тема 2.2. Многоразрядные последовательные и параллельные сумматоры. Схемы ускоренного переноса.	4	2	2
Тема 2.3. Сложение и вычитание двоичных чисел со знаком. Схема умножения многоразрядных двоичных чисел.	4	2	2
Итого	**68**	**34**	**34**

2.3.3. Содержание разделов и тем дисциплины

Основные разделы:

Раздел 1. Последовательностные цифровые схемы: триггеры, регистры, счетчики.

Раздел 2. Арифметические устройства.

Раздел 1. Последовательностные цифровые схемы: триггеры, регистры, счетчики.

Тема 1.1.Классификация триггеров. Управляемые фронтом и спадом синхросигнала триггеры. Тестируемые триггеры.

Тема 1.2. Асинхронный и синхронный RS-триггер. ДвухтактныйRS-триггер.

Тема 1.3. D-триггер, JK-триггер, T-триггер.

Тема 1.4. Назначение регистров.Типы регистров: буферные, сдвигающие, с управляемым направлением сдвига, с параллельным вводом, кольцевые.
Сдвигающие регистры: преобразование последовательного кода в параллельный, сдвиг влево и вправо. Универсальный сдвигающий регистр. Устройства комбинационного сдвига на заданное число разрядов (barrelshifters).

Тема 1.5. Формирование псевдослучайной двоичной последовательности.
Счетчики импульсов и делители частоты.

Тема 1.6. Асинхронные и синхронные счетчики.Счетчики как делители частоты.
Построение счетчиков с заданным коэффициентом деления, с предварительной установкой состояния и с управляемым коэффициентом пересчета.

Тема 1.7. Счетчики на основе сдвигающих регистров: кольцевые счетчики и счетчики Джонсона.
Линейные сдвигающие регистры с обратной связью (LFSR Галуа и Фибоначчи) – генераторы псевдослучайных последовательностей.

Тема 1.8. Передаточный вентиль (TransmissionGate). Проектирование триггеров и защелок на транзисторном уровне. D-защелка на основе TG.

Тема 1.9. D-триггер по схеме Master-Slave на основе TG.

Раздел 2. Арифметические устройства.

Тема 2.1. Одноразрядные полусумматоры и полные сумматоры.

Тема 2.2.Многоразрядные последовательные и параллельные сумматоры. Схемы ускоренного переноса.

Тема 2.3.Сложение и вычитание двоичных чисел со знаком. Схема умножения многоразрядных двоичных чисел.

2.2. Материально-техническое обеспечение дисциплины

Лабораторные работы проводятся в учебном департаменте Синопсис Армения. Лаборатория обеспечена компьютерами, в которых инсталлировано необходимое программное обеспечение фирмы Синопсис для симуляции и синтеза цифровых устройств – VCS-симулятор, CustomDesigner, Hspice, StarRC.

2.3.Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
Вид учебной работы/контроля	**М1**	**М2**	**М3**	**М1**	**М2**	**М3**		
Контрольная работа			1			1		
Лабораторные работы								
Устный опрос								

Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							1	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
Экзамен(оценка итогового контроля)								0.5
			∑ = **1**			∑ = **1**	∑ = **1**	∑ = **1**

3. Теоретический блок

3.1 Материалы по теоретической части курса

3.1.1. Учебники

1. Ch. Hawkins, J. Segura, P. Zarkesh-Ha "CMOS Digital Inegrated Circuits: A First Course", SciTech publishing, 2012
2. M. Mano, M. Ciletti "Digital Design: With an Introduction to the Verilog HDL", Prentice Hall, 5 edition, 2012
3. R. Morrison "Digital Circuit Boards: Mach 1 GHz", Wiley, 1 edition, 2012
4. K. Yeap "Fundamentals of Digital Integrated Circuit Design", AuthorHouse, 2011
5. J. M. Rabaey, A. Chandrakasan, B. Nikolic "Digital Integrated Circuits", Prentice Hall, 3 edition, 2008
6. J. Walkerly. Digital Design Principles and Practices. Prentice Hall, 4 edition, 2006

7. А.К. Туманян “Основы цифрового проектирования с использованием языка Verilog” Чартарагет, 2012

4. Практический блок

4.1. Планы лабораторных работ

Лаб.1. Элементы анализа и синтеза цифровых комбинационных схем.

Лаб.2. Основные элементы цифровой логики и синтез комбинационных схем.

Лаб.3. Измерение параметров цифровых интегральных схем и исследование формирователей импульсов на их основе.

Лаб.4. Исследование триггерных схем.

Лаб.5. Исследование регистров.

Лаб.6. Счетчики и делители частоты.

5. Материалы по оценке и контролю знаний

5.1. Перечень экзаменационных вопросов

1. Характеристики быстродействия логических микросхем.
2. Определение помехоустойчивости по амплитудной передаточной характеристике.
3. Реализация DFF управляемой положительным уровнем CLK на MOS-транзисторах (на основе TG-Master & Slave structure). Описание работы.
4. Реализация DFF управляемой отрицательным уровнем CLK на MOS-транзисторах (на основе TG-Master &Slave structure). Описание работы.
5. Реализация защелки, управляемой положительным уровнем CLK, на MOS-транзисторах (на основе TG). Описание работы.
6. Реализация защелки, управляемой отрицательным уровнем CLK, на MOS-транзисторах (на основе TG). Описание работы.
7. Синхронизируемый уровнем статический RS-триггер.
8. Двухступенчатый RS-триггер. Счетный режим триггера.
9. Принципиальная схема и работа JK-триггера.
10. Статический D-триггер.
11. Динамический D-триггер.
12. Параллельные регистры хранения данных.
13. Преобразование параллельных кодов в последовательные.

14. Преобразование последовательных кодов в параллельные.
15. Генератор псевдослучайной последовательности на сдвиговом регистре.
16. Суммирующие и вычитающие асинхронные счетчики.
17. Синхронные счетчики.
18. Делители частоты на сдвиговых регистрах.
19. Одноразрядный сумматор и полный сумматор.
20. Многоразрядный сумматор с последовательным переносом.
21. Сумматор с ускоренным переносом.
22. Схема вычитания двоичных чисел.
23. Умножение многоразрядных двоичных чисел.